

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

6/1/01
Q 64787
10f1

JCS66 U.S. PRO
09/870843



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

#3

出願年月日
Date of Application:

2000年 6月13日

出願番号
Application Number:

特願2000-177110

出願人
Applicant(s):

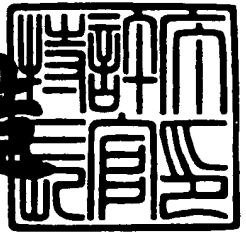
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月30日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3024422

【書類名】 特許願

【整理番号】 53310470

【提出日】 平成12年 6月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 7/06
H04L 1/06

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 米山 祐三

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 送信ダイバーシチ方式送信機における遅延時間制御方式。

【特許請求の範囲】

【請求項 1】 同時に複数の送信部から一つのベースバンド信号を遅延回路により遅延させて同じ変調波を送信して、受信点においてそれらの変調タイミングが一致することでダイバーシチ利得を得る送信ダイバーシチ方式送信機において、

各送信部は R F 出力信号を検波して検波信号を出力する検波器を備え、

二つの送信部の検波器の出力する検波信号を比較して比較信号を出力する比較器と、

前記比較器の出力する比較信号をもとに、送信出力端において変調タイミングが一致するように前記二つの送信部の遅延回路を制御する遅延量制御回路とを有することを特徴とする遅延時間制御方式。

【請求項 2】 前記遅延量制御回路は、前記比較器から出力される比較信号の平均振幅を求め、その値がしきい値以下になるように、前記二つの送信部の遅延回路を制御して、遅延時間相互の差が許容範囲内に収まるようにする請求項 1 記載の遅延時間制御方式。

【請求項 3】 n を 1 より大きい整数とすると、複数の送信部が n 個であり、前記比較器および遅延量制御回路がそれぞれ $n-1$ 個である請求項 1 または 2 記載の遅延時間制御方式。

【請求項 4】 前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路はベースバンド信号が入力する端に設けられた請求項 1 または 2 または 3 記載の遅延時間制御方式。

【請求項 5】 前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路は前記変調器と周波数変換器の間に設けられた請求項 1 または 2 または 3 記載の遅延時間制御方式。

【請求項 6】 前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路は前記周波数変換器と増幅器の間に設けられた請求項 1 または 2 または 3 記載の遅延時間制御方式。

【請求項 7】 前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路は前記増幅器の出力側に設けられた請求項 1 または 2 または 3 記載の遅延時間制御方式。

【請求項 8】 ベースバンド信号を ON/OFF 制御し、前記 ON/OFF 時の検波出力の立ち上がり、および立ち下りのタイミングを比較して、そのタイミングが許容の時間内に収まるように前記送信部の遅延回路を制御する請求項 1 または 3 から 7 のいずれか一記載の遅延時間制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、移動通信に用いられるダイバーシチ方式の送信機に関し、特に、複数の送信部の遅延時間を制御して、相互の遅延時間の差が許容範囲内に収まるように制御する遅延時間制御方式に関する。

【0002】

【従来の技術】

従来、同時に複数の送信部から同じ変調波を送信して、受信点においてそれらの変調タイミングが一致することでダイバーシチ利得を得るような送信ダイバーシチ方式においては、送信出力端において変調タイミングが一致している（少なくとも許容範囲内にある）必要がある。従って、このような目的で使用するダイバーシチ方式の複数の送信部は、それぞれの変調データの遅延時間の差を許容範囲内に抑える必要がある。

【0003】

これらの送信部の遅延時間に差を生じる原因としては、回路部品の遅延時間にばらつきがある事が挙げられる。特に、RF 周波数に変換される前の中間周波数（IF）に実装される、IF フィルタの遅延量のばらつきの影響が大きい。また、これらの遅延時間のばらつきの影響度は、変調データの伝送速度（チップレート）が高くなるほど大きくなる。そのため、高速データ伝送を行う CDMA 方式の移動通信システムなどでは、ダイバーシチ方式の送信機を実現するためには、それぞれの送信部における遅延時間の制御が必要になってくる。

【 0 0 0 4 】

図 7 は、従来の遅延時間制御方式の一例を示す。この遅延時間制御方式では、ベースバンド信号発生器 1 0 1 が発生した信号を送信部 1 0 0 a、1 0 0 b の遅延回路 1 0 2 a、1 0 2 b で遅延させて送信するが、その遅延量を制御する為には、あらかじめ求められた遅延量設定値 1 0 9 によって遅延量制御回路 1 0 8 が制御を行う。遅延量設定値 1 0 9 は、実際にそれを使用する送信部 1 0 0 a、1 0 0 b の遅延量を測定することによって得られる。

【 0 0 0 5 】

【発明が解決しようとする課題】

上述した従来の遅延時間制御方式では、遅延量設定値 1 0 9 を得るためには、毎回送信部の遅延量を測定する必要があるので、生産効率が悪い。また、遅延量設定値 1 0 9 は、ダイバーシチ方式の送信機が生産時に設定されるだけであるため、運用中に温度変動や経年変化によって遅延量の差に変化があった場合には、期待通りのダイバーシチ利得が得られなくなる場合があるという問題点がある。

【 0 0 0 6 】

本発明の目的は、生産効率を改善するとともに、運用中に温度変動や経年変化があった場合でも、期待通りのダイバーシチ利得を得ることが可能な遅延時間制御方式を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

本発明の 遅延時間制御方式は、

同時に複数の送信部から一つのベースバンド信号を遅延回路により遅延させて同じ変調波を送信して、受信点においてそれらの変調タイミングが一致することでダイバーシチ利得を得る送信ダイバーシチ方式送信機において、

各送信部は R F 出力信号を検波して検波信号を出力する検波器を備え、

二つの送信部の検波器の出力する検波信号を比較して比較信号を出力する比較器と、

前記比較器の出力する比較信号をもとに、送信出力端において変調タイミングが一致するように前記二つの送信部の遅延回路を制御する遅延量制御回路とを有

する。

【0008】

前記遅延量制御回路は、前記比較器から出力される比較信号の平均振幅を求め、その値がしきい値以下になるように、前記二つの送信部の遅延回路を制御して、遅延時間相互の差が許容範囲内に収まるようにするものを含む。

【0009】

n を1より大きい整数とすると、複数の送信部が n 個であり、前記比較器および遅延量制御回路がそれぞれ $n-1$ 個であるものを含む。

【0010】

前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路はベースバンド信号が入力する端に設けられたものを含む。

【0011】

前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路は前記変調器と周波数変換器の間に設けられたものを含む。

【0012】

前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路は前記周波数変換器と増幅器の間に設けられたものを含む。

【0013】

前記送信部は遅延回路と変調器と周波数変換器と増幅器とから構成され、前記遅延回路は前記増幅器の出力側に設けられたものを含む。

【0014】

ベースバンド信号をON/OFF制御し、前記ON/OFF時の検波出力の立ち上がり、および立ち下りのタイミングを比較して、そのタイミングが許容の時間内に収まるように前記送信部の遅延回路を制御するものを含む。

【0015】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

(第1の実施の形態)

図1は本発明の遅延時間制御方式の第1の実施の形態のブロック図を示す。

【 0 0 1 6 】

図 1 では、2 つの送信部から構成される、ダイバーシチ方式の送信機を示しており、図 7 と同一構成部分には同一符号を付してある。

【 0 0 1 7 】

図 1 において、ベースバンド信号発生器 1 0 1 で生成されたベースバンド信号は、2 つの送信部 1 0 0 a、送信部 1 0 0 b に入力される。それぞれの送信部に入力されたベースバンド信号は、遅延回路 1 0 2 a、1 0 2 b を通って変調器 1 0 3 a、1 0 3 b に入力される。変調器 1 0 3 a、1 0 3 b は、ベースバンド信号から変調波を生成する。変調波は周波数変換器 1 0 4 a、1 0 4 b で R F 信号に変換され、増幅器 1 0 5 a、1 0 5 b で規定の電力まで増幅され、送信部から出力される。

【 0 0 1 8 】

検波器 1 0 6 a、1 0 6 b は、それぞれの送信部の R F 出力信号を検波し検波信号を出力する。比較器 1 0 7 では、検波部 1 0 6 a、1 0 6 b の検波信号を比較して、比較信号を出力する。遅延量制御回路 1 0 8 ではこの比較信号を情報として、それぞれの送信部の遅延回路 1 0 2 a、1 0 2 b の遅延量を制御し、それぞれの送信部の遅延時間の差が許容値内に収まるように自動的に制御を行う。それぞれの送信部の遅延時間の差が許容値内に収まっているかどうかは、比較器 1 0 7 から出力される比較信号から判定される。

【 0 0 1 9 】

それぞれの送信部の遅延時間に差を生じる原因としては、回路部品の遅延時間にばらつきがある事が挙げられる。特に、R F 周波数に変換される前の中間周波数 (I F) に実装される、I F フィルタの遅延量のばらつきの影響が大きい。また、これらの遅延時間のばらつきの影響度は、変調データの伝送速度 (チップレート) が高くなるほど大きくなる。そのため、高速データ伝送を行う C D M A 方式の移動通信システムなどでは、ダイバーシチ方式の送信機を実現するためには、それぞれの送信部における遅延時間の制御が必要になる。

【 0 0 2 0 】

以下に動作について説明する。

【0021】

RF信号は変調波であるため、その出力電力は変調データ（ベースバンド信号）の伝送速度に比例した速度で瞬時変動を生じる。検波器106a、106bは、RF信号の瞬時電力変動を検波電圧として出力する。図2～4にそれぞれの送信部における検波器106a、106bの検波信号を示す。縦軸は検波電圧を示し、横軸は伝送速度単位（チップ）で正規化した時間を示す。横軸の1目盛りが1チップの時間を示す。

【0022】

図2は、送信部100aと送信部100bの遅延時間の差が0であった場合を示す。遅延時間の差がないため、同時刻に同じ振幅変動が生じる。そのため、検波器106aの出力信号である検波信号aと106bの出力信号である検波信号bは重なっている。

【0023】

一方、図3および図4は、送信部100aと送信部100bの遅延時間に差が生じた場合の検波信号を示す。図3は、送信部100aの方が送信部100bよりも1/8チップだけ遅れた場合を示し、図4は、送信部100aの方が送信部100bよりも4/8チップだけ遅れた場合を示している。

【0024】

次に、比較器107から出力される比較信号の説明を行う。比較器107では、検波信号aと検波信号bを比較して、それぞれの信号の差（検波信号a－検波信号b）を出力する。図2～図4に、それぞれの検波信号に対する比較信号を示す。

【0025】

図2では、それぞれの送信部の遅延時間に差がないため検波信号aと検波信号bは同時刻で同じ値となる。そのため比較信号は0になる。一方、図3、図4に示すように、それぞれの送信部に遅延時間の差が生じると比較信号は0にはならない。そして、遅延時間の差が大きくなるほど比較信号の振幅変動が大きくなることがわかる。

【0026】

比較器 1 0 7 で得られた比較信号を遅延量制御回路 1 0 8 に入力し、それぞれの送信部に用意された遅延回路 1 0 2 a、1 0 2 b の遅延量の制御を行う。以下に、遅延量制御回路 1 0 8 の動作をフローチャートを使って説明する。

【 0 0 2 7 】

図 5 は、遅延量制御回路 1 0 8 の動作を示すフローチャートである。

【 0 0 2 8 】

遅延量制御回路 1 0 8 は、比較器 1 0 7 から入力される比較信号の平均振幅 V_n を求め（ステップ S 1）、あらかじめ設定された V_n のしきい値と比較する（ステップ S 2）。比較信号の平均振幅 V_n が、しきい値よりも小さい場合は特に制御は行わず、ステップ S 1 に戻ってもう一度比較信号の平均振幅 V_n を求める。従って、 V_n がしきい値以下であれば、比較信号の平均振幅を繰り返し求める事になる。

【 0 0 2 9 】

ここで V_n のしきい値は、あらかじめ以下の通り設定される。

【 0 0 3 0 】

それぞれの送信部の遅延時間の差が大きくなると送信ダイバーシチ特性が劣化する。そこで許容されるそれぞれの送信部の遅延時間の差を設定する。一方、図 2 ～図 4 に示した通り、比較器 1 0 7 から出力される比較信号の振幅変動は、遅延時間の差に比例する関係にある。従って、許容される遅延時間の差は、比較信号の平均振幅の値に置き換えることが可能であり、その値を V_n のしきい値として設定することが可能である。

【 0 0 3 1 】

一方、比較信号の平均振幅 V_n が、しきい値よりも大きい場合は、まず送信部 1 0 0 a の遅延量を 1 ステップ（step）増やす（ステップ S 3）。ここで、図 3、図 4 に示したように、送信部 1 0 0 a の方が送信部 1 0 0 b よりも遅延時間が大きい場合は更に遅延時間が大きくなり、比較信号 V_n は大きくなってしまふ。そこで、送信部 1 0 0 a の遅延量を 1 step 増やした後に、もう一度比較信号の平均振幅 V_n を求め、 V_n が大きくなったかどうかを判定する。小さくなっていればその値がしきい値よりも小さくなったかどうかをもう一度判定する（ステップ S 5）。一方、 V_n が大きくなっていたら、今度は送信部 1 0 0 b の遅延量を 1 ステップ（s

tep) 増やし (ステップ S 6)、もう一度比較信号の平均振幅 V_n を求め (ステップ S 7)、しきい値より小さくなったかどうかを判定する (ステップ S 8)。

【0032】

以降、 V_n がしきい値以下になるまで繰り返し制御が行われる。その結果、自動的にそれぞれの送信部の遅延時間の差が許容値以下になるように制御されることになる。

【0033】

以上説明したように、本発明によれば、ダイバーシチ方式の送信機のそれぞれの遅延時間の差が、許容値以下になるように自動的に制御する事が可能となる。従って、常に期待通りの送信ダイバーシチの特性を得ることができる。

【0034】

また本発明によれば、それぞれの送信部に使用される回路部品のばらつきを自動的に補正することができる。更に、運用中の温度変動、経年変化による送信ダイバーシチの特性の劣化も防止することが可能になる。

(第2の実施の形態)

図6は本発明の遅延時間制御方式の第2の実施の形態のブロック図を示す。

【0035】

図6の遅延時間制御方式は、三つの送信部 100a、100b、100c を備える場合で、各送信部に遅延回路と検波器を備えた図1の制御方式に準ずる構成である。この遅延量制御回路 108₁、108₂ によって、RF信号aとRF信号b、RF信号bとRF信号cの遅延量を比較してそれぞれの差をしきい値以下に抑えるようにしている。

(その他の実施の形態)

第2の実施の形態は三つの送信部を備える場合の遅延時間制御方式であるが、四つ以上の送信部で構成されたダイバーシチ方式の送信機においても、複数の比較器を用いて、2つずつの送信部の遅延量を比較していくことで、それぞれの遅延量の差をしきい値以下に抑えることが可能である。

【0036】

また、上述した実施の形態では遅延回路は変調器の前段に設置されているが、

変調器以降の各段および増幅器の出力側に実装して遅延量を制御することも可能である。

【 0 0 3 7 】

更に、ベースバンド信号を ON / OFF 制御して送信する場合においても同様に制御できるほか、ON / OFF 時の検波出力の立ち上がり、立ち下りのタイミングを比較して、そのタイミングが許容の時間内に収まるように制御する方法も可能である。

【 0 0 3 8 】

【発明の効果】

以上説明したように、本発明は、二つの送信部の検波器の出力する検波信号を比較して遅延量を制御することにより、ダイバーシチ方式の送信部のそれぞれの遅延時間の差が、許容値以下になるように自動的に制御する事が可能となり、常に期待通りの送信ダイバーシチの特性を得ることができる効果がある。

【 0 0 3 9 】

また、それぞれの送信部に使用される回路部品のばらつきを自動的に補正することができ、更に、運用中の温度変動、経年変化による送信ダイバーシチの特性の劣化も防止することが可能になるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の遅延時間制御方式の第 1 の実施の形態のブロック図である。

【図 2】

図 1 の検波部 1 0 6 a、1 0 6 b の検波信号の一例を示すグラフである。

【図 3】

図 1 の検波部 1 0 6 a、1 0 6 b の検波信号の他の例を示すグラフである。

【図 4】

図 1 の検波部 1 0 6 a、1 0 6 b の検波信号のさらに他の例を示すグラフである。

【図 5】

図 1 の遅延量制御回路 1 0 8 の動作を示すフローチャートである。

【図 6】

本発明の遅延時間制御方式の第 2 の実施の形態のブロックである。

【図 7】

遅延時間制御方式の一従来例のブロック図である。

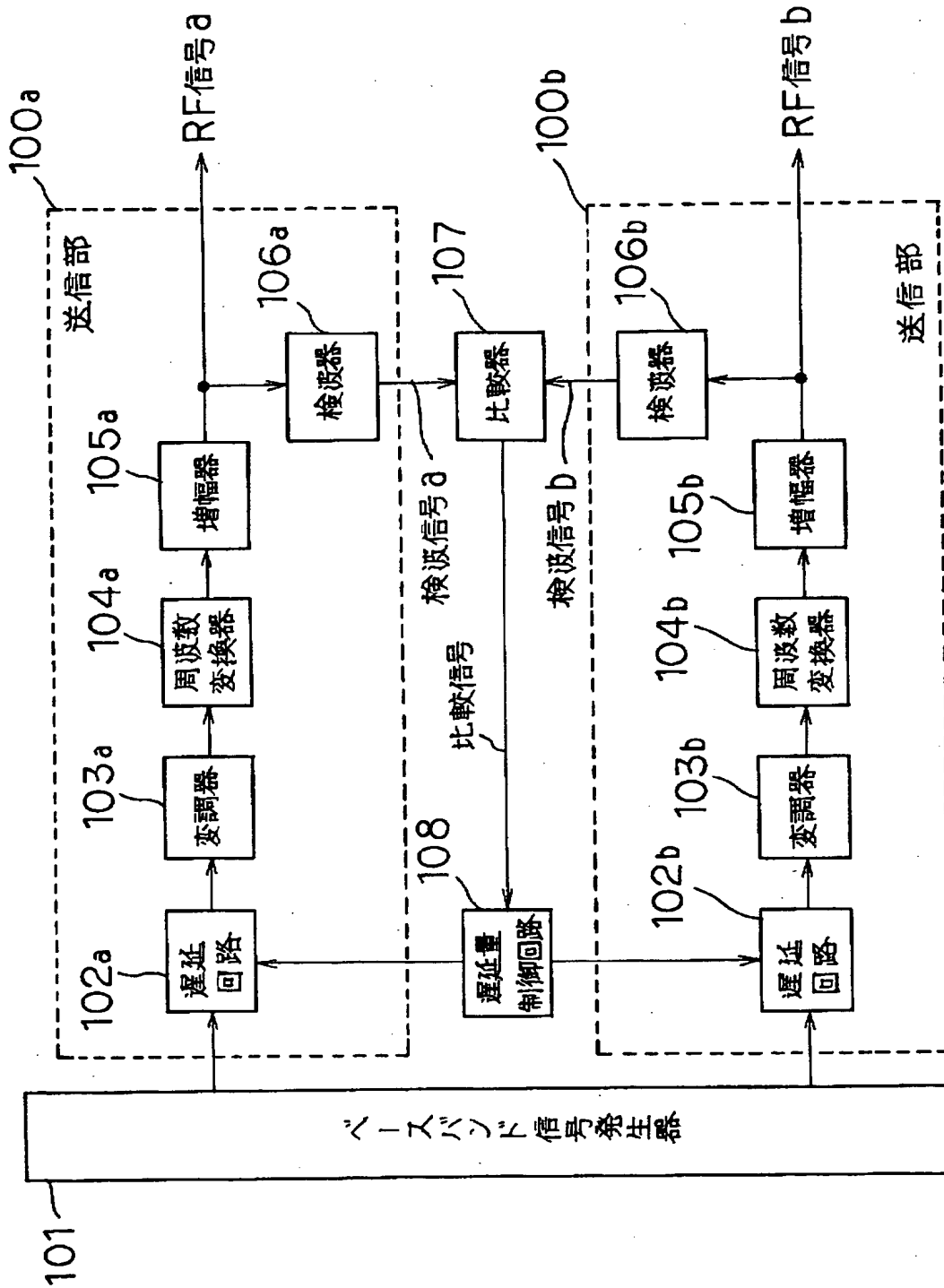
【符号の説明】

1 0 0 a、1 0 0 b、1 0 0 c	送信部
1 0 1	ベースバンド信号発生器
1 0 2 a、1 0 2 b、1 0 2 c	遅延回路
1 0 3 a、1 0 3 b、1 0 3 c	変調器
1 0 4 a、1 0 4 b、1 0 4 c	周波数変換器
1 0 5 a、1 0 5 b、1 0 5 c	増幅器
1 0 6 a、1 0 6 b、1 0 6 c	検波器
1 0 7、1 0 7 ₁ 、1 0 7 ₂	比較器
1 0 8、1 0 8 ₁ 、1 0 8 ₂	遅延量制御回路

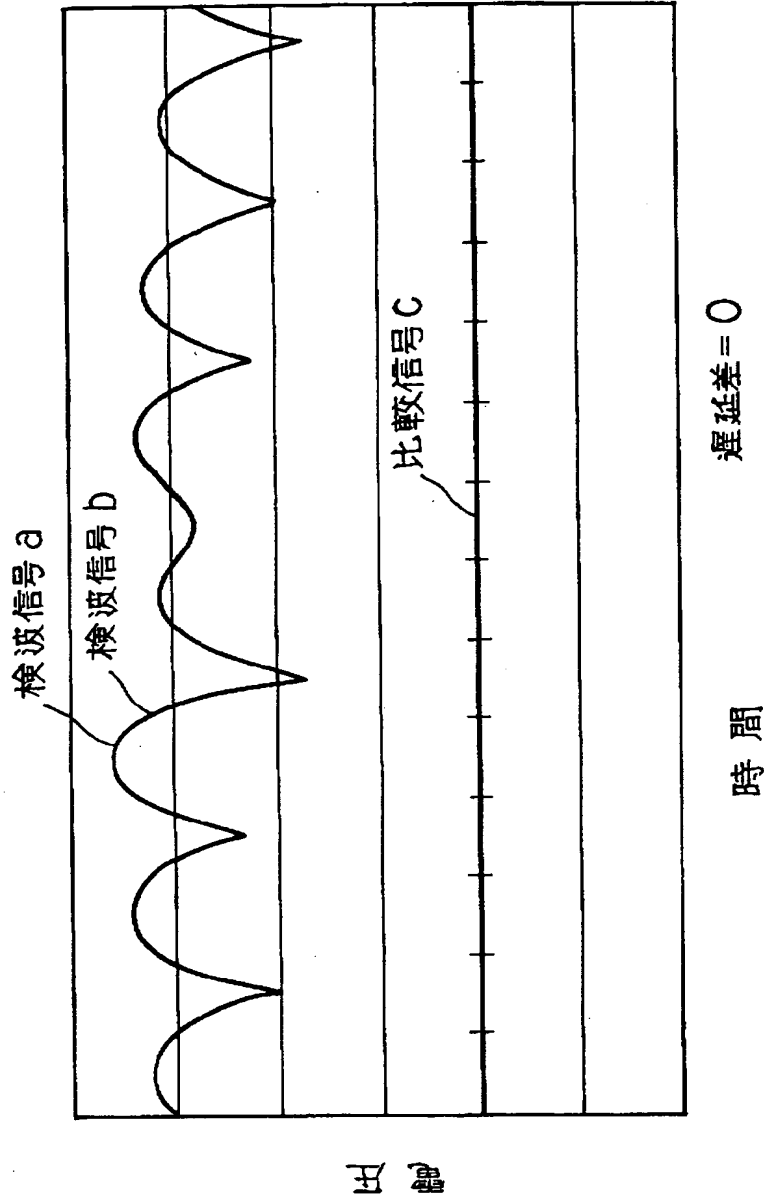
【書類名】

図面

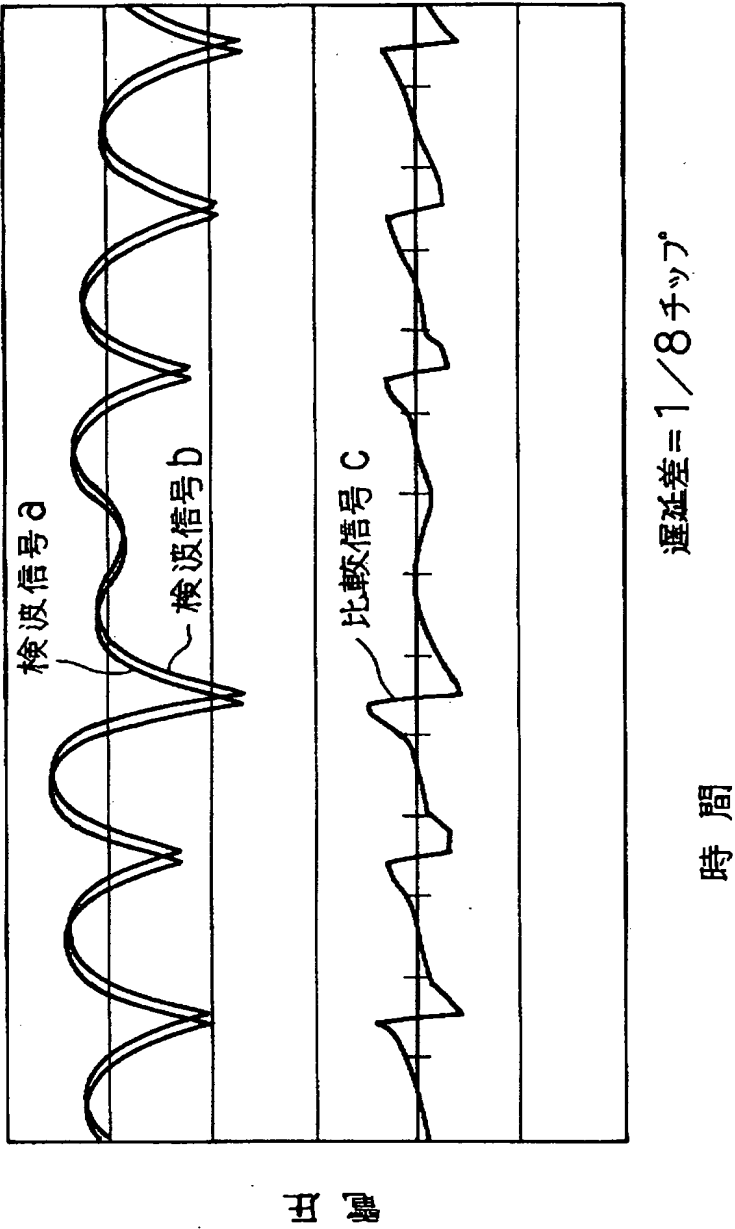
【図 1】



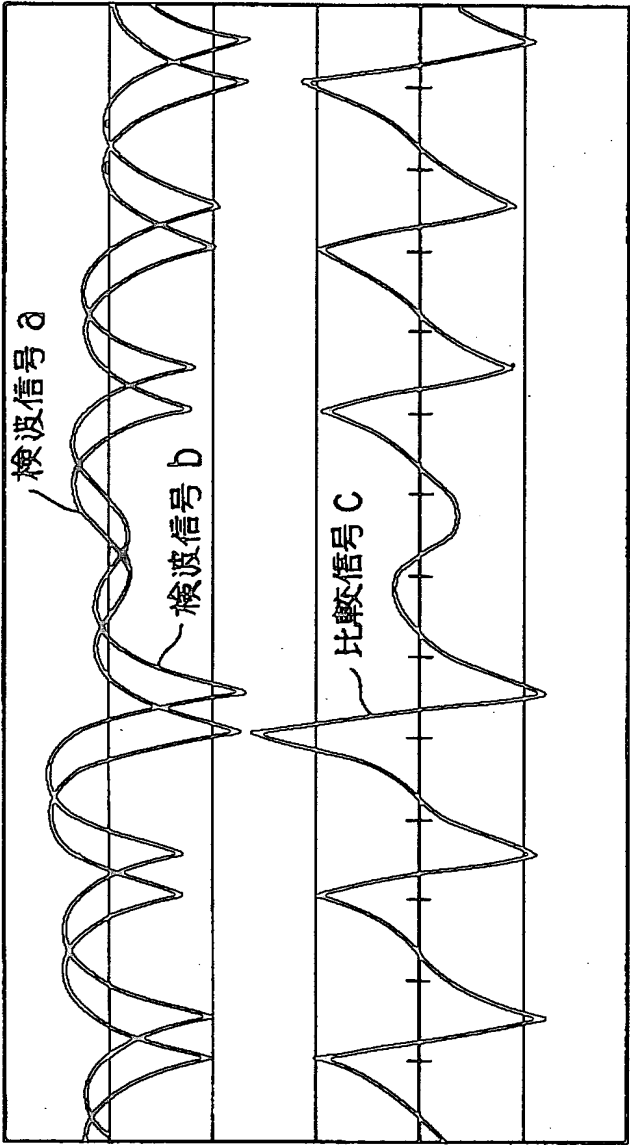
【図 2】



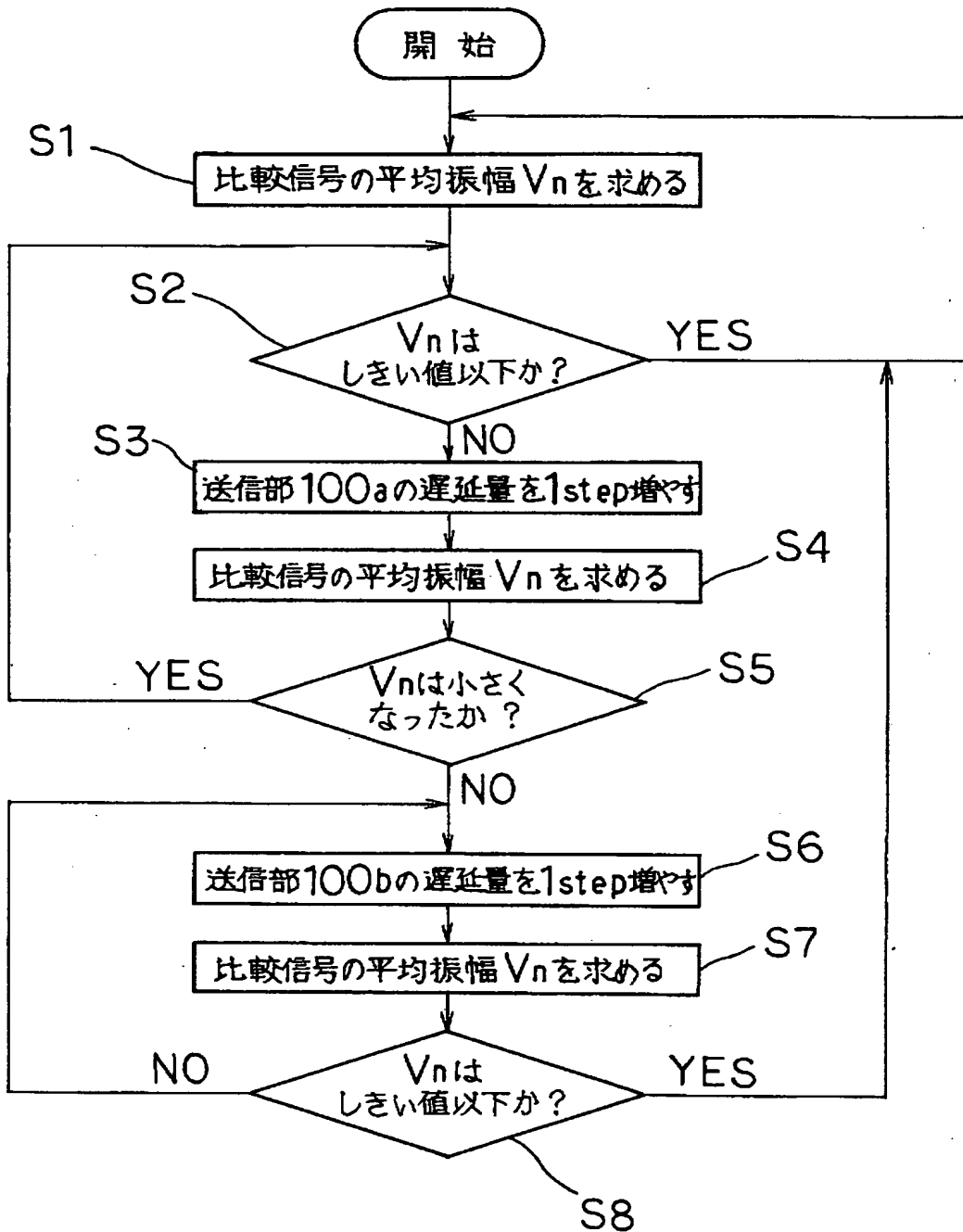
【図 3】



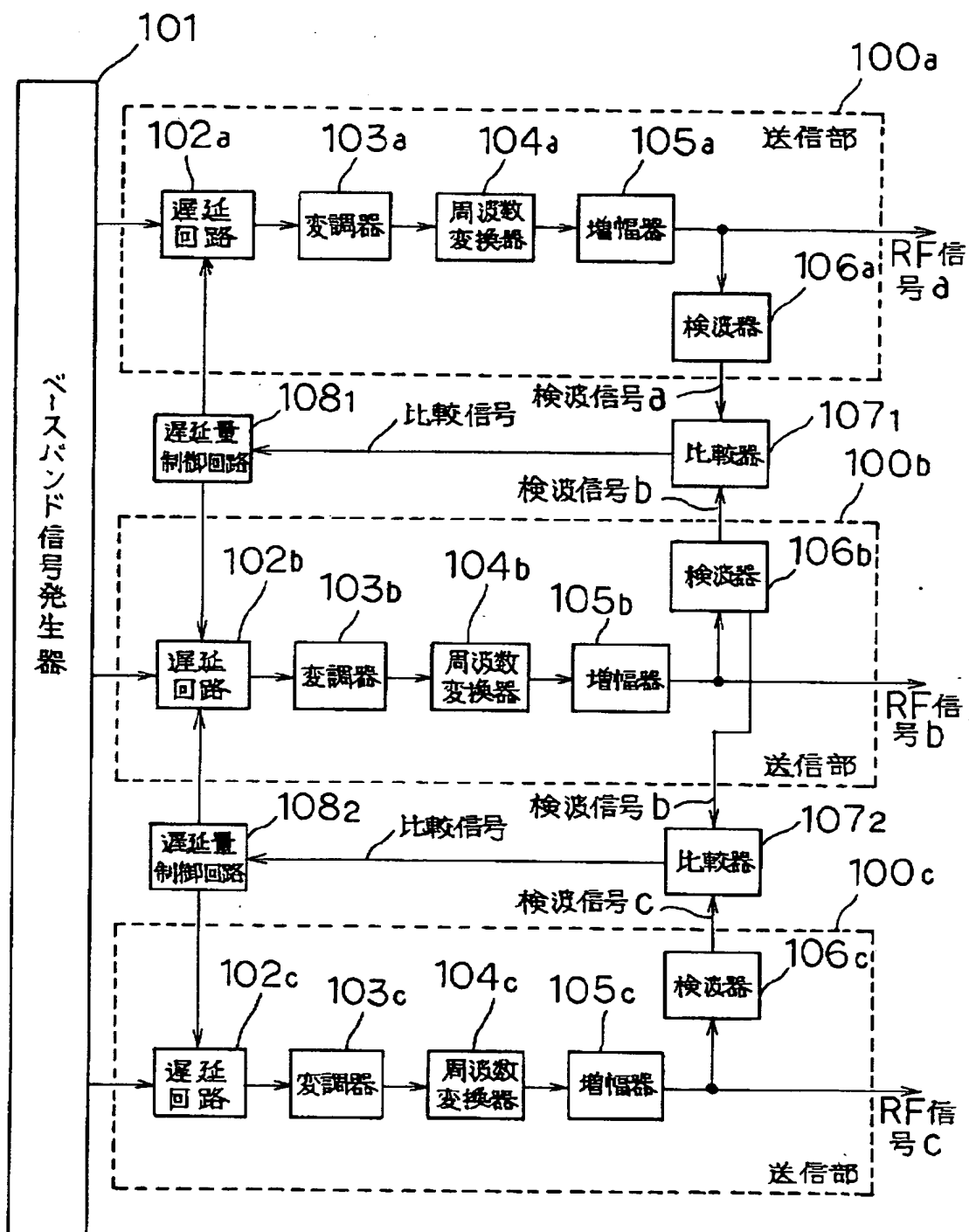
【図4】



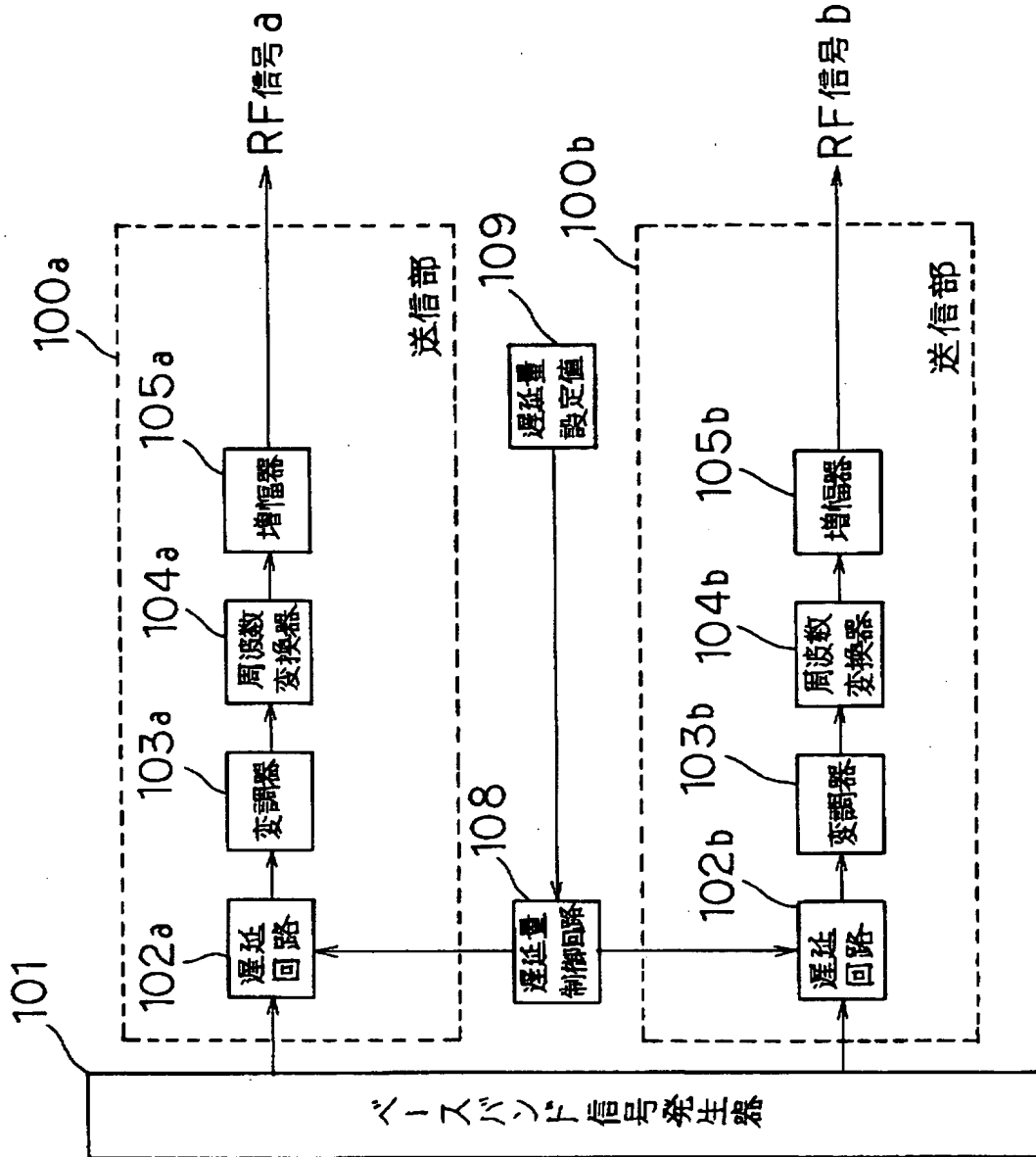
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 生産効率を改善し、運用中に温度変動や経年変化があった場合でも、期待通りのダイバーシチ利得を得る。

【解決手段】 検波器 1 0 6 a、1 0 6 b はそれぞれ送信部 1 0 0 a、1 0 0 b の R F 出力信号を検波して検波信号を出力する。比較器 1 0 7 は検波器 1 0 6 a、1 0 6 b の出力する検波信号を比較して比較信号を出力する。遅延量制御回路 1 0 8 は比較器 1 0 7 の出力する比較信号をもとに、送信出力端において変調タイミングが一致するように遅延回路 1 0 2 a、1 0 2 b を制御する。

【選択図】 図 1